

Title of the Prior Art

Japanese Published Patent Application No. Hei.8-137780

Date of Publication: May 31, 1996

Concise Statement of Relevancy

There is provided a serial data transfer apparatus which performs time-division transfer of serial data through plural channels, and more particularly, which is suitable for efficiently performing asynchronous serial data transfer or the like under CPU control. If an asynchronous serial data transfer demand is generated from the CPU or the like during the transfer processing of the serial data by the arbitrary number of channels, each channel which transfers each serial data is stored, and successively performs serial data transfer of each stored channel in accordance with priorities previously set for each channel after completing transfer processing of the serial data which was transferring, thereby reducing the transfer waiting time of each channel.

**THIS PAGE BLANK (USPTO)**

(11)特許出願公開番号

(43)公開日 平成8年(1996)5月31日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/12	3 1 0 Z	7368-5E		
13/38	3 5 0	9188-5E		

(74)代理人 弁理士 磯村 雅俊 (外1名)

[illegible]

## 【特許請求の範囲】

【請求項 1】 複数のシリアルデータをチャンネル単位で時分割して転送するシリアルデータ転送装置において、任意の数の上記チャンネルのシリアルデータ転送中に新たに転送処理対象となった各チャンネルを記憶し、上記任意の数のチャンネルのシリアルデータ転送完了後に、上記記憶した各チャンネルのシリアルデータの転送を、予め各チャンネル毎に設定された優先順序で許可する転送要求競合手段を設け、該転送要求競合手段で許可された各チャンネルに対する上記優先順序での転送処理を終了した後に、該転送処理中に転送処理対象として上記転送要求競合手段で記憶された各チャンネルに対する転送処理を行なうことを特徴とするシリアルデータ転送装置。

【請求項 2】 複数のシリアルデータをチャンネル単位で時分割して転送するシリアルデータ転送装置において、所定の周期で発生する信号に予めチャンネルを対応付けて記憶し、該記憶したチャンネルに予め設定された優先順位で、上記所定の周期で発生するシリアルデータ転送要求に対する転送を許可する転送要求競合手段を設け、上記記憶された各チャンネルに対する上記優先順序での転送処理を終了した後に、該転送処理中に転送処理対象として記憶された各チャンネルに対する転送処理を行なうことを特徴とするシリアルデータ転送装置。

【請求項 3】 複数のシリアルデータをチャンネル単位で時分割して転送するシリアルデータ転送装置において、所定の周期で発生する信号に予め対応付けた上記チャンネルを含み、任意の数のチャンネルのシリアルデータ転送中に新たに転送処理対象となった各チャンネルを記憶し、上記任意の数のチャンネルのシリアルデータ転送完了後に、上記記憶した各チャンネルのシリアルデータの転送を、予め各チャンネル毎に設定された優先順序で許可する転送要求競合手段を設け、上記記憶された各チャンネルに対する上記優先順序での転送処理を終了した後に、該転送処理中に転送処理対象として記憶された各チャンネルに対する転送処理を行なうことを特徴とするシリアルデータ転送装置。

【請求項 4】 請求項 1 から請求項 3 のいずれかに記載のシリアルデータ転送装置において、上記転送要求競合手段に、上記優先順に転送許可した各チャンネルの識別情報を外部端子に出力する手段を設け、外部に接続された上記シリアルデータの転送先装置の判定に用いることを特徴とするシリアルデータ転送装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数のチャンネルを介してシリアルデータを時分割転送する技術に係り、特に、CPU (Central Processing Unit、中央処理装置) 制御下での非同期なシリアルデータ転送などを効率良く行なうのに好適なシリアルデータ転送装置に関するものである。

## 【0002】

【従来の技術】 一般に、多くのシリアルデータ転送チャンネルが必要なときは、個々のチャンネルを独立させて転送を行なうか、または、時分割で個々のチャンネルの転送を行ない、チャンネルの使用状態の管理を不要とすることが考えられる。しかし、前者では回路規模が増大してしまうデメリットがあり、また、後者では、転送要求から転送終了までの待ち時間が多く発生する等のデメリットがある。従来のシリアルデータ転送を効率良く行なうための技術には、例えば、特開平 2-10460 号公報や特開平 2-85950 号公報に記載のものがある。

【0003】 特開平 2-10460 号公報においては、データをグループごとに各々独立にシリアル転送することにより、少ない信号線数で、転送サイクルの早いインタフェースを実現している。また、特開平 2-85950 号公報においては、システムバスの他に、転送方向を任意に制御するため、シリアルコントローラと、I/O 機能ブロックとの間に、レジスタファイルを設けることにより、非同期に発生するシリアルコントローラからの要求を待たせることなく高速に実行する。しかし、これらの技術では、回路構成や動作制御手順が複雑になる。

## 【0004】

【発明が解決しようとする課題】 解決しようとする問題点は、従来の技術では、簡素な回路構成や動作制御手順で、非同期的に発生するシリアルデータの転送を高速に行なうことができない点である。本発明の目的は、これら従来技術の課題を解決し、効率の良いシリアルデータ転送を可能とするシリアルデータ転送装置を提供することである。

## 【0005】

【課題を解決するための手段】 上記目的を達成するため、本発明のシリアルデータ転送装置は、(1) 複数のシリアルデータをチャンネル単位で時分割して転送するシリアルデータ転送装置において、任意の数のチャンネルのシリアルデータ転送中に新たに転送処理対象となった各チャンネルを記憶し、任意の数のチャンネルのシリアルデータ転送完了後に、記憶した各チャンネルのシリアルデータの転送を、予め各チャンネル毎に設定された優先順序で許可する転送要求競合回路 21 を設け、この転送要求競合回路 21 で許可された各チャンネルに対する優先順序での転送処理を終了した後に、この転送処理中に転送処理対象として転送要求競合回路 21 で記憶された各チャンネルに対する転送処理を行なうことを特徴とする。また、

(2) 複数のシリアルデータをチャンネル単位で時分割して転送するシリアルデータ転送装置において、所定の周期で発生する信号に予めチャンネルを対応付けて記憶し、この記憶したチャンネルに予め設定された優先順位で、所定の周期で発生するシリアルデータ転送要求に対する転送を許可する転送要求競合回路 21 を設け、記憶された各チャンネルに対する優先順序での転送処理を終了した後

に、この転送処理中に転送処理対象として記憶された各チャンネルに対する転送処理を行なうことを特徴とする。また、(3) 複数のシリアルデータをチャンネル単位で時分割して転送するシリアルデータ転送装置において、所定の周期で発生する信号に予め対応付けたチャンネルを含み、任意の数のチャンネルのシリアルデータ転送中に新たに転送処理対象となった各チャンネルを記憶し、任意の数のチャンネルのシリアルデータ転送完了後に、記憶した各チャンネルのシリアルデータの転送を、予め各チャンネル毎に設定された優先順序で許可する転送要求競合回路21

10 を設け、記憶された各チャンネルに対する優先順序での転送処理を終了した後に、この転送処理中に転送処理対象として記憶された各チャンネルに対する転送処理を行なうことを特徴とする。また、(4) 上記(1)から(3)のいずれかに記載のシリアルデータ転送装置において、転送要求競合回路21に、優先順に転送許可した各チャンネルの識別情報を外部端子に出力する手段(シーケンサ4)を設け、外部に接続されたシリアルデータの転送先装置の判定に用いることを特徴とする。

#### 【0006】

【作用】本発明においては、例えば、任意の数のチャンネルでのシリアルデータの転送処理中に、CPU等からの非同期的なシリアルデータ転送要求が発生すれば、各シリアルデータを転送する各チャンネルを記憶しておき、転送処理中であったシリアルデータの転送処理が完了した後に、記憶しておいて各チャンネルのシリアルデータ転送を、予め各チャンネル毎に定められた優先順に従って連続して行なう。このことにより、各チャンネルの転送待ち時間を少なくすることができる。また、回路規模を小さくでき、さらに、ソフトウェアによるチャンネル競合管理を無くすることができる。この結果、簡単な構成/制御で、多数のシリアルデータ転送を効率良く行なうことが可能となる。また、周期的にシリアルで取り込むデータに関しては、自ら転送要求を発生してデータを取り込み、CPUからの起動は不要とする。このことにより、ソフトウェア制御の負担を軽減することができる。このような周期的に発生するシリアルデータに対する転送制御と、上述の各チャンネルの優先順に従った転送制御とを複合させることにより、さらに効率の良いシリアルデータ転送を行なうことができる。また、複数のデータ転送先に対して、総転送先数に見合ったセレクト信号として、転送許可した各チャンネルの識別情報を出力し、各チャンネルの選択または分配を外部で可能な構成とする。このことにより、外部と送受信する入出力信号を少なくすることができる。

#### 【0007】

【実施例】以下、本発明の実施例を、図面により詳細に説明する。図1は、本発明のシリアルデータ転送装置の本発明に係る構成の一実施例を示すブロック図、図2

は、本発明のシリアルデータ転送装置を設けたシステム

の構成例を示すブロック図である。図2において、101はCPU、102はアドレスバス、103はデータバス、104はアドレスデコーダ(図中、デコーダと記載)、105は本発明のシリアルデータ転送装置、106はCPU101からのリード信号(図中、RDと記載)、107はCPU101からのライト信号(図中、WRと記載)、108はシリアルデータ転送装置105のセレクト信号(図中、CSと記載)である。シリアルデータ転送装置105は、CPU101から見て1つの入出力装置(I/O)である。

【0008】以下、このシリアルデータ転送装置105の内部構成およびその動作説明を、図1を用いて行なう。図1において、1はCPUからの転送要求、すなわち、チャンネル1～チャンネル9に与えられたアドレスをデコードするためのアドレスデコーダ(図中、ADDDECと記載)、2はチャンネル0～チャンネル9の転送要求時に該当するフラグをアクティブにする10ビットフラグレジスタ(図中、FLAG0～9と記載)、3は10ビットフラグレジスタ2からのパラレル信号をシリアル変換するP/S変換器(図中、P/Sと記載)、4は10ビットフラグレジスタ2からのパラレル信号のP/S変換器3への取り込みタイミングを制御するシーケンサ(図中、SEQUENCERと記載)、5はライトデータを各チャンネル(1～9)対応に登録するレジスタ群(図中、REG1～9と記載)、6は転送対象の各チャンネル(1～9)に対応するライトデータをレジスタ群5から選択するマルチプレクサ(図中、MPXと記載)、7はパラレル信号のシリアル変換およびシリアル信号のパラレル変換を行なうパラシリ・シリパラ変換器(図中、P/S・S/Pと記載)、8はシリアルデータの転送タイミングを制御するタイミング制御部、9はパラシリ・シリパラ変換器7のパラレル変換結果を各チャンネル(0～9)対応に登録するレジスタ群(図中、REG0～9と記載)、10は転送対象の各チャンネル(0～9)に対応するリードデータをレジスタ群9から選択するマルチプレクサ(図中、MPXと記載)である。

20

【0009】10ビットフラグレジスタ2とP/S変換器3、および、シーケンサ4により、本発明に係る転送要求競合回路21を構成している。以下、動作の説明を行なう。本例では、8ビットのシリアルデータ送受信を1チャンネルとしたとき、チャンネル0～チャンネル9までの10チャンネルの構成となっている。優先順位はチャンネル0>チャンネル1>・・・>チャンネル9であり、チャンネル0は、周期的な転送要求信号13によって、10ビットフラグレジスタ2におけるチャンネル0のフラグがアクティブになる。その他のフラグは、図2のCPU1からの転送要求、すなわち、アドレスバス11上のチャンネル1～チャンネル9に与えられたアドレスをライトすることによって行なわれ、アドレスデコーダ1で、このアドレスをデコードする。

40

50

【0010】アドレスデコーダ1のそれぞれの信号がアクティブのとき、ライトバス14を通してチャンネル1～9のレジスタ群5にデータがライトされると共に、10ビットフラグレジスタ2の該当ビットがアクティブになる。10ビットフラグレジスタ2においてチャンネル0～9のいずれかのフラグがアクティブになったとき、クロック（図中、CLOCKと記載）12で動作するシーケンサ4からタイミング制御が発生して、P/S変換器3が起動する。P/S変換器3は、10ビットフラグレジスタ2のフラグの内容（10ビットパラレル）をロードしてシリアル信号に変換する。

【0011】このP/S変換器3の出力がアクティブの時、シーケンサ4はスタート信号（START）をタイミング制御部8に送出してタイミング制御部8を起動させる。起動したタイミング制御部8は、8ビットシリアル転送のタイミング信号を、バラシリ・シリバラ変換器7に送出する。このタイミング信号に基づき、バラシリ・シリバラ変換器7は、マルチプレクサ6でフラグに対応して選択したパラレルデータをシリアルデータ（SOD）に変換し、出力信号線18に送出すると共に、入力信号線19からのシリアルデータ（SID）をパラレルデータに変換する。このバラシリ・シリバラ変換器7で変換したパラレルデータを、レジスタ群9で、各チャンネル（0～9）対応に登録し、マルチプレクサ10により、フラグ（0～9）に対応して選択し、リードバス17に送出する。

【0012】また、P/S変換器3の出力がインアクティブの時は、アクティブになるまで、P/S変換器3の出力を順次にシフトする。また、タイミング制御部8では、シフトクロック（SCK）16およびラッチパルス（LATCH）15が発生すると共に、CLR信号を10ビットフラグレジスタ2に送出し、10ビットフラグレジスタ2は、転送を終了したチャンネルに対応するフラグをインアクティブにする。

【0013】全ての要求に対する転送を終了すると、待機状態に戻り、その時点で要求があるとき、すなわち、10ビットフラグレジスタ2においてチャンネル0～9のいずれかのフラグがアクティブになったときは、再びシーケンサ4からタイミング制御が発生して、P/S変換器3が起動し、10ビットフラグレジスタ2のフラグをP/S変換器3に取り込む。尚、図1におけるCPU101がデータをリードする際は、最初に、10ビットフラグレジスタ2のフラグをリードして、該当するフラグがインアクティブになっていることを確認した後にマルチプレクサ10を起動し、リードバス17を介してデータのリードを行なう。

【0014】このように、本実施例では、CPUの非同期なアクセス（チャンネル1～9）、または、周期的な転送要求信号（チャンネル0）に対して、優先順に従って転送を行なうので、CPUは、転送を要求するシリアルデ

ータチャンネル以外の転送中／待機中に係らず、非同期なアクセスが可能となる。また、転送要求を立てたとき、シリアルデータ転送装置が動作中のときには、次の要求サンプリング時に、転送要求が取り込まれ、優先順に従って転送を行ない、待機中には、直ちに転送を行なう。この結果、非同期に発生する各チャンネルでのシリアルデータを、同一チャンネルで連続して転送することを回避できる。

【0015】また、シーケンサ4では、シフト回数に応じた外部セレクト信号20（SEL0～3）を発生する。このように、複数のシリアル転送先に対して、1シリアル転送先の端子と、総転送先数に見合ったセレクト信号を出力し、転送先によってセレクト信号を変化させ、セレクト信号を基に、外部で、それぞれの転送先を選択可能または分配可能な構成としている。このことにより、シリアル転送装置の入出力ピンを、1チャンネル分のみとすることが可能となり、外部へのピン数が減り、コネクタやLSI等のピンを減らすことができる。

【0016】図3は、図1におけるシリアルデータ転送装置の本発明に係る動作例を示すタイミングチャートである。本図3では、周期的な転送要求信号によるチャンネル0の受信動作と、チャンネル0転送中に、チャンネル9、6、7の順で要求が発生したときの、転送処理タイミング例を示している。ここでは、先ずチャンネル0を転送し、次に、このチャンネル0の転送中に発生した転送要求（チャンネル9、6、7）をサンプリングし、優先順（チャンネル6＞チャンネル7＞チャンネル9）に従って、順次転送を行なっている。

【0017】以上、図1～図3を用いて説明したように、ホストにCPUを持ち、このCPUの制御下で動作を行なう本実施例のシリアルデータ転送装置では、CPUからの非同期なアクセスを1転送要求とみなし、複数の転送要求の競合制御を行なう転送要求競合回路21を設け、転送要求のある要求源に対してのみ、優先順位に従って連続したシリアルデータ転送を行なうと共に、転送終了した転送要求をクリアし、さらに、全ての要求源に対してサービスを終了した時点で、次の転送要求があるときには、転送要求を再サンプリングし、上述した動作を、転送要求が無くなるまで行なう。このことにより、CPUは、転送を要求するシリアルデータチャンネル以外の転送中／待機中に係らず、非同期なアクセスが可能となる。また、転送要求を立てたとき、シリアルデータ転送動作中のときには、次の要求サンプリング時に、この転送要求を取り込み優先順に従って転送を行ない、また、待機中には直ちに転送を行なうので、要求から転送終了までの時間が最低限となる。

【0018】また、周期的な信号で自ら転送要求を立て（チャンネル0）るので、例えば、センサ情報など周期的に取り込むデータを、CPUから起動すること無く自動的にデータを取り込むことができるので、シリアルポー

ンを少なくでき、効率の良いシリアルデータ転送が可能となる。

【図 1】本発明のシリアルデータ転送装置の本発明に係る構成の一実施例を示すブロック図である。

【図2】本発明のシリアルデータ転送装置を設けたシステムの構成例を示すブロック図である。

【図3】図1におけるシリアルデータ転送装置の本発明に係る動作例を示すタイミングチャートである。

【００１９】尚、本発明は、図１～図３を用いて説明した実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、優先順位を可変とすることも可能であり、この場合、システム毎に最適な優先順位を設定することが可能となり、汎用的なシリアルデータ転送装置を得ることができる。

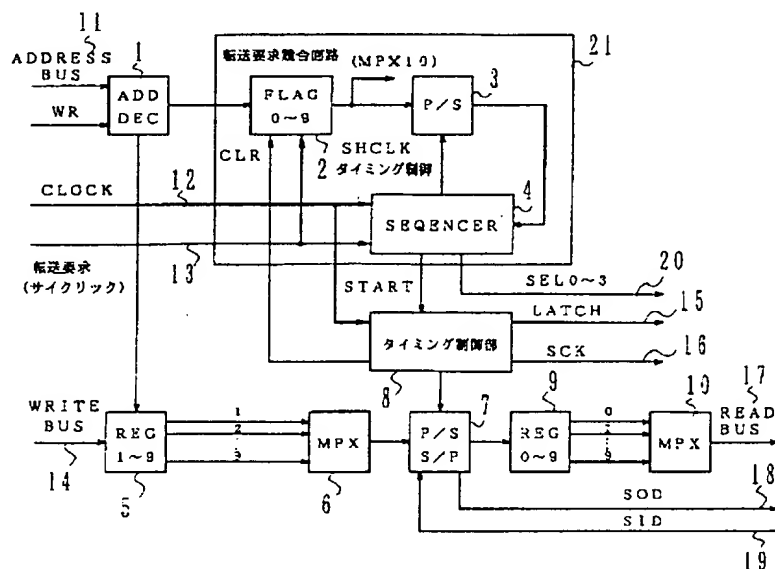
【0020】

【発明の効果】本発明によれば、簡素な回路構成や動作制御手順で、非同期的に発生するシリアルデータの転送を高速に行なうことができると共に、周期的に取り込むデータをCPUから起動すること無く自動的にデータを取り込むことによりソフトウェア制御の負担を軽減することができ、また、各チャネルの選択または分配を外部で行なうことによりシリアルデータ転送装置の入出力ピ

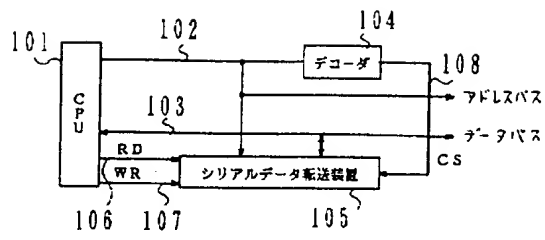
10 【符号の説明】

1: アドレスデコーダ、2: 10ビットフラグレジスタ、3: P/S変換器、4: シーケンサ、5: レジスタ群、6: マルチプレクサ、7: バラシリ・シリバラ変換器、8: タイミング制御部、9: レジスタ群、10: マルチプレクサ、11: アドレスバス、12: クロック、13: 周期的な転送要求信号、14: ライトバス、15: ラッチパルス (LATCH)、16: シフトクロック (SCK)、17: リードバス、18: 出力信号線、19: 入力信号線、20: 外部セレクト信号、21: 転送要求競合回路、101: CPU、102: アドレスバス、103: データバス、104: アドレスデコーダ、105: シリアルデータ転送装置、106: リード信号、107: ライト信号、108: セレクト信号

【图 1】

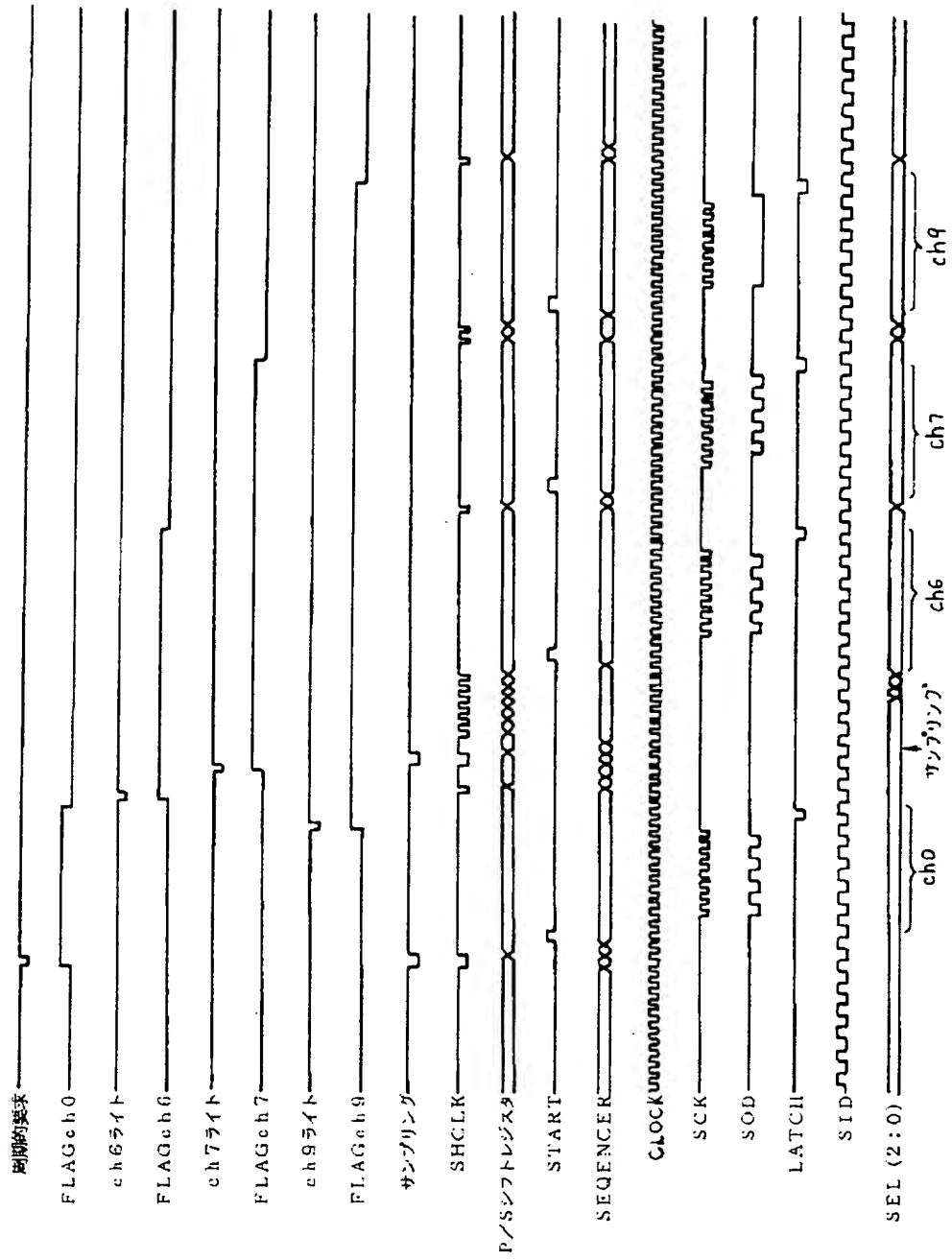


【図2】





【図3】



THIS PAGE BLANK (USPTO)